

KEI TOKUI et al.
03/25/04. BSKB
703-205-8000
0020-5239P451
2072

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

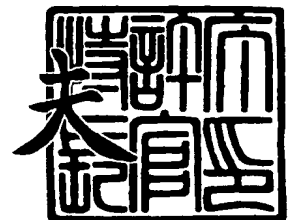
出 願 番 号 特 願 2 0 0 3 - 0 8 5 0 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 5 0 8 7]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 8 9 6

【書類名】 特許願

【整理番号】 183242

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 徳井 圭

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 岩田 浩

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 矢追 善史

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 柴田 晃秀

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 那脇 勝

【特許出願人】

 【識別番号】 000005049

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

 【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびそれを備えた携帯電子機器

【特許請求の範囲】

【請求項 1】 チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に並列に接続された第 1、第 2 のチャージポンプと

、
上記第 1 のチャージポンプの出力端子と上記出力線とを接続する線に設けた第 1 の出力側スイッチと、

上記第 2 のチャージポンプの出力端子と上記出力線とを接続する線に設けた第 2 の出力側スイッチと、

上記第 2 のチャージポンプの入力端子と上記入力線とを接続する線に設けた入力側スイッチと、

上記第 1 のチャージポンプの出力端子と上記第 1 の出力側スイッチとの間と、
上記第 2 のチャージポンプの入力端子と上記入力側スイッチとの間とを接続する線に設けた直列接続用スイッチと

を有し、

上記不揮発性メモリ素子は、

チャネル領域と、

上記チャネル領域の両側のソース領域およびドレイン領域と、

上記チャネル領域上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成されたゲート電極と、

上記ゲート電極の両側に形成されたメモリ機能部と
を有することを特徴とする半導体記憶装置。

【請求項 2】 チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、
入力線と上記出力線との間に接続された k 個 (k : 3 以上の正の整数) のチャージポンプと、
上記 k 個のチャージポンプの各出力端子と上記出力線とを接続する各線に設けた k 個の出力側スイッチと、
2 から k 番目までの上記チャージポンプの各入力端子と上記入力線とを接続する各線に設けた ($k - 1$) 個の入力側スイッチと、
($n - 1$) 番目 (n : 2 から k までの整数) の上記チャージポンプの出力側端子と ($n - 1$) 番目の上記出力側スイッチとの間と、 n 番目の上記チャージポンプの入力端子とその入力端子に接続された上記入力側スイッチとの間とを接続する線に設けた ($n - 1$) 番目の直列接続用スイッチと
を有し、
上記不揮発性メモリ素子は、
チャネル領域と、
上記チャネル領域の両側のソース領域およびドレイン領域と、
上記チャネル領域上に形成されたゲート絶縁膜と、
上記ゲート絶縁膜上に形成されたゲート電極と、
上記ゲート電極の両側に形成されたメモリ機能部と
を有することを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、
上記第 1, 第 2 の出力側スイッチは、ダイオード接続された電界効果トランジスタであることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 に記載の半導体記憶装置において、
上記出力側スイッチは、ダイオード接続された電界効果トランジスタであることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 に記載の半導体記憶装置において、
上記第 1, 第 2 のチャージポンプの少なくとも一方は、互いに直列接続された複数のポンプステージを含むことを特徴とする半導体記憶装置。

【請求項 6】 請求項 2 に記載の半導体記憶装置において、

k 個の上記チャージポンプのうち少なくとも 1 つは、互いに直列接続された複数のポンプステージを含むことを特徴とする半導体記憶装置。

【請求項 7】 請求項 1 または 2 に記載の半導体記憶装置において、

上記半導体記憶装置の出力端子と上記メモリセルアレイの入力端子とを接続する線に設けた少なくとも 1 つの電圧極性反転回路を備えたことを特徴とする半導体記憶装置。

【請求項 8】 請求項 1 または 2 に記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置およびそれを備えた携帯電子機器に関する。

【0002】

【従来の技術】

現在、エレクトロニクス業界では集積回路の消費電力を低減する傾向にある。例えば、上記集積回路では、消費電力を低減するために、5 V ではなく 3.3 V などの低電圧電源レベルを使用するように設計されている。

【0003】

しかしながら、上記集積回路のほとんどの動作では、低電圧電源で供給される電圧を上回る電圧を必要とする。例えば、上記集積回路がフラッシュ E E P R O M（電気消去可能プログラマブル読出し専用メモリ）有する場合、フラッシュ E E P R O M は、消去操作および書き込み操作に約 12 V を必要とする。また、単一電源電圧から複数の高電圧レベルを必要とすることがある。

【0004】

そこで、上記集積回路には、低電圧電源で供給される電圧を上回る電圧を出力するチャージポンプ装置を設ける。従来、チャージポンプ装置は複数のチャージポンプ回路を備え、各チャージポンプ回路が所定数の固定ポンプステージを有している。このような複数のチャージポンプ回路を使用することにより、単一電源電圧から複数の高電圧レベルを得ることができる（例えば、特許文献 1 参照。）

。

【0005】

【特許文献1】

特開 2001-160298 号公報

【0006】

【発明が解決しようとする課題】

しかしながら、従来の集積回路では、チャージポンプ装置で異なる複数の電圧レベルを得る場合、各電圧レベルごとに専門のチャージポンプ回路を備えることになるため、チャージポンプ回路の数が多くなり、回路面積の増大を招いてしまうという問題がある。

【0007】

そこで、本発明の課題は、回路面積を小さくしても、異なる複数の電圧レベルを得ることができる半導体記憶装置を提供することにある。

【0008】

また、本発明のもう1つの課題は、上記半導体記憶装置を用いて、高機能、小型および低コストな携帯電子機器を提供することにある。

【0009】

【課題を解決するための手段】

上記課題を解決するため、第1の発明の半導体記憶装置は、チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に並列に接続された第1、第2のチャージポンプと

、

上記第1のチャージポンプの出力端子と上記出力線とを接続する線に設けた第1の出力側スイッチと、

上記第2のチャージポンプの出力端子と上記出力線とを接続する線に設けた第2の出力側スイッチと、

上記第2のチャージポンプの入力端子と上記入力線とを接続する線に設けた入力側スイッチと、

上記第1のチャージポンプの出力端子と上記第1の出力側スイッチとの間と、
上記第2のチャージポンプの入力端子と上記入力側スイッチとの間とを接続する線に設けた直列接続用スイッチと
を有し、

上記不揮発性メモリ素子は、
チャネル領域と、
上記チャネル領域の両側のソース領域およびドレイン領域と、
上記チャネル領域上に形成されたゲート絶縁膜と、
上記ゲート絶縁膜上に形成されたゲート電極と、
上記ゲート電極の両側に形成されたメモリ機能部と
を有することを特徴としたことを特徴としている。

【0010】

上記構成の半導体記憶装置によれば、上記チャージポンプ装置では、直列接続用スイッチがオン、かつ、上記入力側スイッチがオフのとき、第1の出力側スイッチをオフにすると共に、上記第2の出力側スイッチをオンにする。これにより、上記第1のチャージポンプと第2のチャージポンプとが互いに直列接続する。

【0011】

また、上記チャージポンプ装置では、直列接続用スイッチがオフ、かつ、入力側スイッチがオンのとき、第1の出力側スイッチをオンにすると共に、第2の出力側スイッチをオンにする。これにより、上記第1のチャージポンプと第2のチャージポンプとが互いに並列接続する。

【0012】

このように、上記チャージポンプ装置では、第1、第2のチャージポンプを互いに直列接続させたり、第1、第2のチャージポンプを互いに並列接続させたりすることができるので、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、回路数を減少させることができる。

【0013】

また、上記チャージポンプ装置では、第1, 第2のチャージポンプが互いに直列接続するとき、第1の出力側スイッチをオフにすると共に、上記第2の出力側スイッチをオンにして、第1のチャージポンプと第2のチャージポンプとが短絡するのを防ぐことができる。

【0014】

上記不揮発性メモリは、ゲート電極の両側にメモリ機能部を有するので、ゲート絶縁膜に関するスケーリングが可能であり、短チャネル効果に強い。これにより、上記メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

【0015】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

【0016】

第2の発明の半導体記憶装置は、

チャージポンプ装置と、

上記チャージポンプ装置の出力線からの出力が供給され、不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイとを備え、

上記チャージポンプ装置は、

入力線と上記出力線との間に接続された k 個 (k : 3以上の正の整数) のチャージポンプと、

上記 k 個のチャージポンプの各出力端子と上記出力線とを接続する各線に設けた k 個の出力側スイッチと、

2から k 番目までの上記チャージポンプの各入力端子と上記入力線とを接続する各線に設けた $(k-1)$ 個の入力側スイッチと、

$(n-1)$ 番目 (n : 2から k までの整数) の上記チャージポンプの出力側端子と $(n-1)$ 番目の上記出力側スイッチとの間と、 n 番目の上記チャージポンプの入力端子とその入力端子に接続された上記入力側スイッチとの間とを接続す

る線に設けた ($n-1$) 番目の直列接続用スイッチとを有し、

上記不揮発性メモリ素子は、

チャンネル領域と、

上記チャンネル領域の両側のソース領域およびドレイン領域と、

上記チャンネル領域上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成されたゲート電極と、

上記ゲート電極の両側に形成されたメモリ機能部とを有することを特徴としている。

【0017】

上記構成の半導体記憶装置によれば、上記チャージポンプ装置では、($n-1$) 番目の直列接続用スイッチがオン、かつ、 n 番目のチャージポンプの入力端子に接続された入力側スイッチがオフのとき、($n-1$) 番目の出力側スイッチをオフにすると共に、 n 番目の出力側スイッチをオンにする。これにより、上記($n-1$) 番目のチャージポンプと n 番目のチャージポンプとが互いに直列接続する。

【0018】

また、上記チャージポンプ装置では、($n-1$) 番目の直列接続用スイッチがオフ、かつ、 n 番目のチャージポンプの入力端子に接続された入力側スイッチがオンのとき、($n-1$) 番目の出力側スイッチをオンにすると共に、 n 番目の出力側スイッチをオンにする。これにより、上記($n-1$) 番目のチャージポンプと n 番目のチャージポンプとが互いに並列接続する。

【0019】

このように、上記チャージポンプ装置では、($n-1$) 番目のチャージポンプと n 番目のチャージポンプとを互いに直列接続させたり、上記($n-1$) 番目のチャージポンプと n 番目のチャージポンプとを互いに並列接続させたりすることができるので、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、回路数を減少させることができる。

【0020】

また、上記 $(n-1)$ 番目のチャージポンプと n 番目のチャージポンプとが互いに直列接続するとき、 $(n-1)$ 番目の出力側スイッチをオンにすると共に、 n 番目の出力側スイッチをオンにして、 $(n-1)$ 番目のチャージポンプと n 番目のチャージポンプとが短絡するのを防ぐことができる。

【0021】

上記不揮発性メモリは、ゲート電極の両側にメモリ機能部を有するので、ゲート絶縁膜に関するスケーリングが可能であり、短チャネル効果に強い。これにより、上記メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

【0022】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

【0023】

一実施形態の半導体記憶装置は、上記第1の発明の半導体記憶装置において、上記第1、第2の出力側スイッチは、ダイオード接続された電界効果トランジスタである。

【0024】

上記実施形態の半導体記憶装置によれば、上記第1、第2の出力側スイッチは、ダイオード接続された電界効果トランジスタであるので、入力線と出力線との間を流れる電流を用いて制御することができる。したがって、上記第1、第2の出力側スイッチを制御するための例えば制御回路を設けなくてもよく、回路面積をより減少させることができる。

【0025】

一実施形態の半導体記憶装置は、上記第2の発明の半導体記憶装置において、上記出力側スイッチは、ダイオード接続された電界効果トランジスタである。

【0026】

上記実施形態の半導体記憶装置によれば、上記出力側スイッチは、ダイオード

接続された電界効果トランジスタであるので、入力線と出力線との間を流れる電流を用いて制御することができる。したがって、上記出力側スイッチを制御するための例えば制御回路を設けなくてもよく、回路面積をより減少させることができる。

【0027】

一実施形態の半導体記憶装置は、上記第1の発明の半導体記憶装置において、上記第1、第2のチャージポンプの少なくとも一方は、互いに直列接続された複数のポンプステージを含む。

【0028】

上記実施形態の半導体記憶装置によれば、上記第1、第2のチャージポンプの少なくとも一方が、互いに直列接続された複数のポンプステージを含むので、ポンプステージ数を適切に設定することにより、所望の電圧レベルを確実に得ることができる。

【0029】

また、上記ポンプステージ数を適切に設定することにより、例えば分圧器または分流器を使用する必要がなくなり、消費電力の低減を可能とする。

【0030】

一実施形態の半導体記憶装置は、上記第2の発明の半導体記憶装置において、 k 個の上記チャージポンプのうち少なくとも1つは、互いに直列接続された複数のポンプステージを含む。

【0031】

上記実施形態の半導体記憶装置によれば、上記 k 個のチャージポンプのうち少なくとも1つが、互いに直列接続された複数のポンプステージを含むので、ポンプステージ数を適切に設定することにより、所望の電圧レベルを確実に得ることができる。

【0032】

また、上記ポンプステージ数を適切に設定することにより、例えば分圧器または分流器を使用する必要がなくなり、消費電力の低減を可能とする。

【0033】

一実施形態の半導体記憶装置は、上記チャージポンプ装置の出力端子と上記メモリセルアレイの入力端子とを接続する線に設けた少なくとも1つの電圧極性反転回路を備えている。

【0034】

上記実施形態の半導体記憶装置によれば、上記チャージポンプ装置の出力端子とメモリセルアレイの入力端子とを接続する線に少なくとも1つの電圧極性反転回路を設けているので、不揮発性メモリ素子の各操作モードで必要とされる負電圧を得ることができる。したがって、上記不揮発性メモリ素子に負電圧を供給するための負電圧専用チャージポンプを設けなくてもよく、小さな回路面積で負電圧をメモリセルアレイに供給できる。

【0035】

第3の発明の携帯電子機器は、上記第1または第2の発明の半導体記憶装置を備えたことを特徴としている。

【0036】

上記構成の携帯電子機器によれば、1つの不揮発性メモリ当たり2ビットの記憶保持が可能で、かつ、微細化が容易な半導体記憶装置を備えているので、高性能化できると共に、小型化できる。また、小型化により、製造コストを削減することが可能になる。

【0037】

【発明の実施の形態】

以下、本発明の半導体記憶装置を図示の実施の形態により詳細に説明する。また、以下では、上記半導体記憶装置を備えた携帯電子機器についても説明する。

【0038】

図1に、チャージポンプ装置の一例としての可変ステージチャージポンプ100のブロック図を示す。

【0039】

上記可変ステージチャージポンプ100は、ノード162を有する段と、ノード164を有する段とを備えている。これらの段は、入力線の一部としての共通入力バス160と、出力線の一部としての共通出力バス170との間に設けてい

る。この共通出力バス 170 は共通出力ノード 150 を含んでいる。また、上記ノード 162 を有する段は第 1 のチャージポンプ 110 を含み、ノード 164 を有する段は第 2 のチャージポンプ 120 を含む。なお、上記共通入力バス 160 には電源電圧 V_{pp} が印加される。

【0040】

上記第 1 のチャージポンプ 110 は、ポンプポンプステージ 112 と、このポンプステージ 112 に直列に接続されたポンプポンプステージ 114 とを有している。上記第 1 のチャージポンプ 110 の入力端子（ポンプステージ 112 の入力端子）は、ノード 162 を介して共通入力バス 160 に接続されている。また、上記第 1 のチャージポンプ回路 110 の出力端子（ポンプステージ 114 の出力端子）は、ノード 144 を介して直列接続用スイッチの一例としての第 1 のスイッチ 130 に接続されていると共に、ノード 144 を介して第 1 の出力側スイッチの一例としての n チャネル MOSFET（金属酸化膜半導体電界効果トランジスタ）140 に接続されている。また、上記 MOSFET 140 は共通出力ノード 150 にも接続されている。

【0041】

上記第 2 のチャージポンプ 120 は、ステージ 122 と、このステージ 122 に直列接続されたステージ 124 とを有している。上記第 2 のチャージポンプ 120 の入力端子（ステージ 122 の入力端子）は、第 1 のスイッチ 130 に接続されると共に、入力側スイッチの一例としての第 2 のスイッチ 131 に接続されている。また、上記第 2 のスイッチ 131 の入力端子は、ノード 162 を介して共通入力バス 160 にも接続されている。また、上記第 2 のチャージポンプ 120 の出力端子（ステージ 124 の出力端子）は、ノード 146 を介して第 2 の出力側スイッチの一例としての n チャネル MOSFET 142 に接続されている。また、上記 MOSFET 142 は共通出力ノード 150 にも接続されている。

【0042】

上記第 1 のスイッチ 130 は、第 1 のチャージポンプ 110 の出力を第 2 のチャージポンプ 120 に入力として与えるか否かを制御する。また、上記第 2 のスイッチ 131 は、第 2 のチャージポンプ 120 の入力端子に電源電圧 V_{pp} を印

加するために使用される。そして、上記第1のスイッチ130と第2のスイッチ131とは、第1のチャージポンプ110と第2のチャージポンプ120とを互いに直列接続させるか、それとも互いに並列接続されるかを制御する。

【0043】

ところで、上記可変ステージチャージポンプ100は、「X/Yステージポンプ」とも呼ばれる。このような場合、「X」は、共通入力バス160と共通出力ノード150との間における段の数（すなわち、チャージポンプの最大値）を指す。「Y」はチャージポンプのステージ数を指す。したがって「XかけるY」は、共通入力バス160と共通出力ノード150との間で互いに直列に接続させることができるステージの最大値を示す。このような呼び方を可変ステージチャージポンプ100に適用した場合、可変ステージチャージポンプ100は、段が2つあり、各段に2つのステージを備えたチャージポンプを有しているので、「2/2ステージポンプ」と呼ぶことができる。2/2ステージ・チャージポンプは、4つのステージを全て直列で接続するか、または、一方の2つの直列接続したステージを他方の2つの直列接続したステージに並列接続することができる。

【0044】

上記第1のスイッチ130の状態と第2のスイッチ131の状態との可能な組み合わせは4通りある（2つの状態かける2つのスイッチ）。上記第1のスイッチ130の状態と第2のスイッチ131の状態とを変えることで、第1のチャージポンプ110と第2のチャージポンプ120との接続が変化して、ステージ数が変化する。ここで、上記第1のスイッチ130または第2のスイッチ131が「オン」という表現は、第1のスイッチ130または第2のスイッチ131が電流パスを形成することを意味する。また、上記第1のスイッチ130または第2のスイッチ131が「オフ」という表現は、スイッチが開状態にあることを意味する。言い換えると、スイッチ回路は多大な電流を通さない。

【0045】

図3に、上記4通りの組み合わせを示す。

【0046】

図3から判るように、上記第1のスイッチ130および第2のスイッチ131

の両方のスイッチをオフとする第1の構成では、第1のチャージポンプ110は共通出力ノード150へ電圧を供給する唯一のチャージポンプとなる。したがって、上記第1のチャージポンプ110は2ステージのチャージポンプであるため、可変ステージチャージポンプ100は実質上、2ステージ・チャージポンプとなる。この第1の構成は、第1、第2のチャージポンプ110、120の両方で共通電圧を共通出力ノード150に供給する場合に対して、電源節約モードとして使用することができる。

【0047】

上記第1のスイッチ130をオフ、かつ、第2のスイッチ131をオンにする第2の構成では、第1のチャージポンプ110と第2のチャージポンプ120とが共通出力ノード150に互いに並列に接続される。したがって、上記第1のチャージポンプ110および第2のチャージポンプ120は両方とも2ステージ・チャージポンプであるため、可変ステージチャージポンプ100は実質上、2ステージと2ステージとが互いに並列に接続された4ステージ・チャージポンプとなる。この第2の構成は、可変ステージチャージポンプ100は、第1、第2のスイッチ130、131の両方をオフにした場合とほぼ同じ出力電圧を共通出力ノード150で得る。また、上記第1のチャージポンプ110と第2のチャージポンプ120とは並列接続されているため、可変ステージチャージポンプ100は、第1のチャージポンプ110だけで動作する場合のほぼ2倍の量の電流を供給することができる。

【0048】

上記第1のスイッチ130をオン、かつ、第2のスイッチ131をオフにする第3の構成では、第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続される。言い換えると、上記第2のチャージポンプ120の入力電圧は、第1のチャージポンプ110の出力から与えられる。上記第1のチャージポンプ110および第2のチャージポンプ120は両方とも2ステージ・チャージポンプであるため、可変ステージチャージポンプ100が実質上、4ステージのそれぞれが互いに直列に接続された4ステージ・チャージポンプになることを意味する。この構成では、可変ステージチャージポンプ100は、上記第1

、第2の構成のほぼ2倍の電圧が共通出力ノード150で得られる。ただし、上記可変ステージチャージポンプ100は、第2の構成のほぼ半分の電流しか流せない。

【0049】

図3においては、第4の構成として「N/A」を示している。この第4の構成は使用すべきではなく、適用できないことを示す。上記第1のスイッチ130および第2のスイッチ131の両方のスイッチがオンの場合、第1のチャージポンプ110は、その出力がその入力と供給電圧とに接続されるため短絡する。このような操作は、本実施形態の可変ステージチャージポンプ100にとって有害であり、避けるべきである。

【0050】

図1に示すnチャネルMOSFET140およびnチャネルMOSFET142は、第1のチャージポンプ110および第2のチャージポンプ120それぞれの出力端子と共通出力ノード150との間にダイオード形式で接続されている。これにより、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続している際に、第1のチャージポンプ110と第2のチャージポンプ120とがお互いにショートしてしまうのを防ぐ。

【0051】

上記MOSFET140のダイオード接続をなしにすると、つまり、MOSFET140を配置しないと、第1のスイッチ130がオン、かつ、第2のスイッチ131がオフの場合、第2のチャージポンプ120はショートしてしまう。このとき、上記ノード144は、共通出力ノード150と、第2のチャージポンプ120の入力端子とに接続されている。そうすると、上記第2のチャージポンプ120の出力端子が共通出力ノード150に接続されるため、チャージポンプ120の出力はチャージポンプ120の入力へ接続されることになる。このような構成は、上記第2のチャージポンプ120を無効にするため、普通使用されない。

【0052】

上記MOSFET140を配置すると、共通出力ノード150の電圧がノード

144の電圧より高い場合、電流はMOSFET140を通過できない。つまり、上記MOSFET140は非導通状態となる。これは、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続されている時の状況である。また、上記第1のチャージポンプ110と第2のチャージポンプ120とが互いに直列接続されている場合、ノード146の電圧はノード144の電圧より高くなる。そして、上記ノード146の電圧が共通出力ノード150の電圧をMOSFET142の閾値電圧だけ超える場合、MOSFET142は導通して、ノード146で得られる電圧（MOSFET142の閾値電圧を差し引いた値）を共通出力ノード150へ与える。また、上記ノード144の電圧からMOSFET140の閾値電圧を差し引いた電圧が、共通出力ノード150の現在の電圧を超えない限り、MOSFET140は導通しない。

【0053】

以上から判るように、上記MOSFET140、142は第1、第2のチャージポンプ110、120の直列接続構成を安定させることができる。

【0054】

上記MOSFET140、142の閾値電圧が低いと、MOSFET140およびMOSFET142による電圧降下を低減する助けとなる。この場合、上記ポンプステージ112、114、122、124によって供給される電圧のより大きな部分が共通出力ノード150に到達する。上記MOSFET140、142の典型的な低い閾値電圧としては、通常1V未満が好ましく、0.4Vから0.9Vの範囲がより好ましい。

【0055】

本発明の他の実施形態によれば、可変ステージチャージポンプ100は、電源電圧 V_{pp} から0未満の電圧を供給するネガティブ・チャージポンプである。この場合、ポンプステージ112、114、122、124はネガティブ・チャージポンプであり、共通入力バス160の一端が接地される。また、上記他の実施形態において、可変ステージチャージポンプ100がネガティブ・チャージポンプとして正確に機能するためには、nチャネルMOSFET140、142の代わりにpチャネルMOSFETを使用する必要がある。

【0056】

また、本発明のさらに他の実施形態では、可変ステージチャージポンプ100は、それぞれが y ステージを有する n 段のチャージポンプで構築することができる。ここで、上記 y および n は正の整数とする。上記可変ステージチャージポンプ100は、上述した呼び方で呼ぶと、「 n/y 」ステージのポンプである。上記第1のスイッチ130および第2のスイッチ131のサブセットを適切に選択することで、 n 個のチャージポンプを1組 p 個のチャージポンプ m セットに分割できる。この場合、上記各セットは、「 p/y 」可変ステージチャージポンプになる。ここで、上記セットは、直列接続または並列接続のどちらでもよい。様々な組み合わせが実現される。さらに、上記各セット内の段は直列接続または並列接続のどちらでもよい。例えば、上記可変ステージチャージポンプ100が12段を有すると仮定する。そうすると、上記可変ステージチャージポンプ100の各段は1つのチャージポンプを含む。各チャージポンプは互いに直列接続された2つのステージを含む。したがって、上記可変ステージチャージポンプ100は、上述の呼び方で呼ぶと、 $12/2$ ステージポンプである。また、上記可変ステージチャージポンプ100は、それぞれが2つのステージを有する12個のチャージポンプを互いに並列接続するか、または、24個のステージを互いに直列接続することができる。

【0057】

ところで、12個の段は1組3個の段4セットにまとめることができる。したがって、上記各セットは $3/2$ ステージポンプである。これは、定義された各セット内に2通りの可能な組み合わせがあることを意味する。上記各セットにおいては、6個のステージ全てを直列で接続するか、または1組2個のステージを3セットを互いに並列で接続するかである。さらに、上記各セットは互いに並列接続または直列接続のどちらであってもよい。様々な組み合わせは記号命名法を使用してより簡単に示すことができる。名称「S」および名称「P」は各セット内の段が直列か並列かのどちらで接続されているかを表す。上記「S」は各セット内の段が互いに直列に接続されていることを示し、「P」は各セット内の段が互いに並列に接続されていることを示す。また、記号「||」でセット同士が互いに並列接

続していることを示し、記号「-」はセット同士が互いに直列接続していることを示す。上記「S」、「P」、「||」および「-」を用いると、12個の段は1組3個の段4セットにまとめた場合の他の可能な7つの組合せは、S || S || S || S、P || P || P || P、S-S-S-S、P-P-P-P、S-P-P-P、S-S-P-P、S-S-S-Pである。これらの組合せのうちの2つ（すなわち、S-S-S-S、P || P || P || P）は、段をセットに分割する段階を使用せずに達成できる組合せであらうから冗長である。ただし、この2つの例は、少なくとも他の5つの例の電源構成が個々に段のサブセットを制御することで達成される方法を示す。

【0058】

これらの様々な構成に加えて、電源を形成するために、全ての段のサブセットを選択することができる。言い換えれば、適切に関連付けられた第2のスイッチを使用して段を選択解除する（すなわち、オフにスイッチする）ことで、一部の段を様々なチャージポンプで 사용할 ことができる。これは、全てのステージおよび電圧または電源が入っている回路（例えば、メモリ回路）の分圧器または分流器を使用せずに、電源を節約するのに使用できる。分圧器および分流器は、電力を消費する傾向があるので、電力を節約するためにできればなくすべきである。

【0059】

ここで、「X/Y」の命名規則の定義を僅かだけ変更する。これまでは「X」は段の総数を表し、各段がチャージポンプとして扱われていた。これに対して、ここでは、段のセットを再構成することにより、各セットが本質的にチャージポンプであることは明らかである。したがって、ここでは「X/Y」は、並列接続されたセット中の各チャージポンプがY個の直列接続されたステージを有することを表わすと共に、チャージポンプのセットをX個並列接続したものを表す。

【0060】

適切なステージ数の可変ステージチャージポンプを設計することで、その可変ステージチャージポンプは利用できる電源電圧に関係なくメモリ回路に適当な電圧を加えることが可能になる。例えば、可変ステージチャージポンプを用いてメ

メモリ回路に 6 V および 12 V を印加する必要がある場合、設計者は、入力電圧に関わらず可変ステージチャージポンプで適切な出力電圧を確実に得るために、ステージインとステージアウトのスイッチを行うか、または、ステージの接続を変更する制御をスイッチに与えることができる。上記スイッチの制御は、利用可能な電源電圧 V_{pp} と所望の可変ステージチャージポンプ出力電圧との関数となるはずである。上記可変ステージチャージポンプの出力を調節した場合にいくらか損失が発生するため、通常は可変ステージチャージポンプで供給する電圧は給電される回路が必要とする電圧より高くなければならない。

【0061】

一実施形態の可変ステージチャージポンプは、不揮発性メモリ素子の一例としての図 4 に示す不揮発性メモリ素子をメモリセルとして用いたメモリセルアレイに電圧供給するために使用する。上記不揮発性メモリ素子は、チャネル領域 307 と、このチャネル領域 307 の両側に夫々配置されたソース領域 302、ドレイン領域 303 と、チャネル領域 307 上に形成されたゲート絶縁膜 301 と、ゲート絶縁膜 307 上に形成されたゲート電極 300 と、このゲート電極 300 の両側に形成されたメモリ機能部の一例としての電荷保持膜 305、306 とを有している。また、上記ソース領域 302、ドレイン領域 303 は、半導体基板 304 のゲート電極 300 側の表層部に形成されている。

【0062】

上記構成の不揮発性メモリ素子は、1 つで 2 ビット以上を記憶できるものであり、メモリセルアレイの小面積化と低電圧化を可能とするものである。フラッシュ・メモリに代表されるゲート電極下に電荷保持膜を有する不揮発性メモリでは、ゲート絶縁膜の膜厚に関するスケーリングが困難であり、短チャネル効果が増大してしまうためメモリセルの微細化が困難である。しかし、図 4 に示す不揮発性メモリ素子は、電荷保持膜 305、306 がゲート電極 300 の側壁に存在するため、メモリセルの微細化が可能となり、メモリセルアレイの小面積化と低電圧化を行うことができる。また、上記電荷保持膜 305、306 がゲート電極 300 の両側に存在するため 2 ビットの記憶を容易に行うことができ、メモリセルの微細化を行っても互いに干渉することがなく、安定した動作が得られる。また

、上記不揮発性メモリ素子は、1ビットの記憶素子として使用することも可能である。上記不揮発性メモリ素子への書き込みは、電荷保持膜305、306に格納されている電荷を変更することによって行うことができる。また、上記不揮発性メモリ素子の状態（書き込まれているか、または消去されているか）はメモリセルを読み出すことで検出することができる。上記不揮発性メモリ素子は、異なる操作モードでは、異なる電圧要件を必要とする。可変ステージチャージポンプ（または、チャージポンプ）はメモリセルアレイの各操作モードごとに適切な供給電圧を与えることができる。上記操作モードには、読出し、書き込み、消去が含まれる。

【0063】

上記不揮発性メモリ素子は、電荷保持膜305、306に過剰の電荷を注入することで書き込まれる。上記不揮発性メモリ素子の書き込み方法は、ウェルを接地し、ゲート電極300に正電圧、ドレイン電極に正電圧を与えることにより行われる。上記電荷保持膜305、306に記憶された情報を消去する方法は、ウェルを正電圧、ゲート電極300を負電圧、ドレイン電極を正電圧、ソース電極を接地することで行う。上記電荷保持膜305、306に記憶された情報を読み出す方法は、ウェルを接地し、ゲート電極300に正電圧、ドレイン電極に正電圧を与え、流れる電流量で検出する。このように、上記不揮発性メモリ素子は、各操作モードを行うために異なる複数の電圧レベルを必要とする。

【0064】

上記メモリセルアレイを備える半導体記憶装置の一例としてのフラッシュメモリ装置に可変ステージチャージポンプを組み込むと、外部回路が簡単になる。ただし、上記不揮発性メモリ素子を最大限に利用するには、可変ステージチャージポンプは、電源から、必要とする電圧レベルを生成できなければならない。

【0065】

図2に、2Vまたは4Vの電源を用いて4Vと6Vとの電圧レベルに対応するためのチャージポンプ装置の一例としての可変ステージチャージポンプ210、220を含む電源回路のブロック図を示す。なお、図2中では、上記可変ステージチャージポンプ210を示すブロック内には「低電圧6Vチャージポンプ」と

書くと共に、可変ステージチャージポンプ 220 を示すブロック内には「高電圧 4 V / 6 V チャージポンプ」と書いている。

【0066】

上記可変ステージチャージポンプ 210, 220 は、出力が電圧調整器へ送られるため、名目上必要とされる電圧を超えるように設計されている。なお、適度な電源許容度は通常、入力電圧が名目値（例えば 10 %）の所定のパーセンテージ内である場合に、回路が適切に機能することを必要とする。

【0067】

上記可変ステージチャージポンプ 220 は高電流可変ステージチャージポンプである。可変ステージチャージポンプ 210 は、必要な時だけチャージポンプ 220 に加えて使用される低電流可変ステージチャージポンプである。また、上記可変ステージチャージポンプ 210, 220 は、読出しモード、書き込みモード、消去モードの際に、内部ノードの電圧を異なる電圧に増大させるために使用する。上記可変ステージチャージポンプが含むチャージポンプは、2 V または 4 V の電源電圧 V_{pp} と、出力すべき電圧レベルとによって再構成される。

【0068】

上記可変ステージチャージポンプ 210, 220 のステージ制御は、操作モード（読み出し、書き込み、または消去）と電源電圧 V_{pp} のレベルとによって決定される。上記電源電圧 V_{pp} のレベルは 4 / 6 V V_{pp} 検出器 230 および 2 / 4 V V_{pp} 検出器 231 で検出し、電源電圧 V_{cc} のレベルは 2 / 4 V V_{cc} 検出器 232 で検出する。さらに詳しくは、上記 4 / 6 V V_{pp} 検出器 230 は、電源電圧 V_{pp} が 4 V か 6 V かを判定するために使用される。また、上記 2 / 4 V V_{pp} 検出器 231 は、電源電圧 V_{pp} が 2 V か 4 V かを判定するために使用される。そして、上記 2 / 4 V V_{cc} 検出器 232 は、電源電圧 V_{cc} が 2 V か 4 V かを判定するために使用される。また、上記 4 / 6 V V_{pp} 検出器 230 および 2 / 4 V V_{pp} 検出器 231 の出力は、様々な電源電圧 V_{pp} のレベルの適切なアルゴリズムを選択するためにアルゴリズム選択回路が受ける。上記アルゴリズムは、電源電圧 V_{pp} および電源電圧 V_{cc} によって変わる。上記アルゴリズム選択回路 290 は、各アルゴリズムにしたがってスイッチ 274 を制御する。

【0069】

例えば、上記電源回路の出力をメモリセルアレイに送る場合、スイッチ274は、メモリセルアレイへ供給される適切な電源を選択するために、チャージポンプ210およびチャージポンプ220への電力の制御に使用される。上記メモリセルアレイへの電力は、線260、線262および線264によって供給される。上記線260は、Vppパッド295からの電源電圧Vpp、または、可変ステージチャージポンプ210、可変ステージチャージポンプ220からの6Vをメモリセルアレイへ送る。上記メモリセルアレイの各操作モードのにより、適切な電圧をメモリセルアレイへ供給する。上記線262は、可変ステージチャージポンプ220からの4Vか、または、Vccパッド296からの電源電圧Vccかをメモリセルアレイへ与える。なお、上記2/4Vcc検出器232を使用可能または使用不可能にするために線280が使用される。

【0070】

上記可変ステージチャージポンプ210、220を駆動するためには、VCO（電圧制御発振器）240およびVCO241を使用する。上記VCO240、VCO241およびVCOに印加する基準電圧Vrefは、基準電圧発生回路270で生成する。上記基準電圧Vrefおよび可変ステージチャージポンプ210、220の出力からのフィードバックは、VCO240～242が可変ステージチャージポンプ210、220の出力電圧を制御する助けとするために制御電圧として使用される。なお、上記VCO242はメモリセルアレイが待機モードの時に、待機VCOとして機能する。

【0071】

高電流可変ステージチャージポンプである可変ステージチャージポンプ220、および、低電流可変ステージチャージポンプである可変ステージチャージポンプ210は、操作モードおよび検出した電源電圧Vppの値によって再構成される。

【0072】

特定の操作モードでは、上記可変ステージチャージポンプ210は使用されず、オフにすることができる。したがって、上記可変ステージチャージポンプ22

0が必要な場合、 V_{pp} パッド295からではなく、 V_{cc} パッド296から電力を受ける。この V_{cc} パッド296の電源電圧 V_{cc} が3.0V未満であると2/4 V_{cc} 検出器232が検出した場合、可変ステージチャージポンプ220は線262に4Vを供給するために必要とされる。上記電源電圧 V_{cc} が3.0V以上であると2/4 V_{cc} 検出器232が検出した場合、電源電圧 V_{cc} は十分であると仮定され、線262は、可変ステージチャージポンプ220（これ以上必要ないため、これはオフにすることができる）からではなく、 V_{cc} パッド296からメモリセルアレイに直接電圧を供給するようにスイッチされる。

【0073】

図5に、本発明の一実施形態の半導体記憶装置のブロック図を示す。

【0074】

上記半導体記憶装置は電圧極性反転回路401を備えている。この電圧極性反転回路401は入力電圧の極性を反転して出力する装置である。上記電圧極性反転回路401の入力端子は、チャージポンプ装置の一例としての可変ステージチャージポンプ400の出力端子に接続され、電圧極性反転回路401の出力端子はスイッチ403を介してメモリセルアレイ402の入力端子に接続される。また、上記可変ステージチャージポンプ400の出力端子は、スイッチ404を介してメモリセルアレイ402の入力端子に接続されている。上記スイッチ403、404は、図示しない制御装置が出力する制御信号により制御される。

【0075】

上記構成の電圧極性反転回路401を用いることにより、メモリセルアレイ402に負電圧を供給することができる。したがって、上記メモリセルアレイ402がメモリセルとして図4の不揮発性メモリ素子を用いているとしても、メモリセルアレイ402の各操作モードに可変ステージチャージポンプ400を対応させることができる。

【0076】

また、上記可変ステージチャージポンプ400の出力が電圧極性反転回路401の入力として使用されるので、複数の負電圧レベルをメモリセルアレイ402に容易に供給できる。

【0077】

また、上記メモリセルアレイ402の操作モードにおいては、可変ステージチャージポンプ400の入力電圧レベル、出力電圧レベルによっては、使用されないチャージポンプが可変ステージチャージポンプ400内に存在する。この操作モードでメモリセルアレイ402に負電圧を供給するには、その未使用のチャージポンプを使用する。これにより、上記メモリセルアレイ402の各操作モードで必要とされる負電圧レベルを、専用のチャージポンプを用いずに得ることができる。また、上記負電圧レベルを生成するための専用のチャージポンプを設けなくてもいいので、回路面積の縮小が可能となる。

【0078】

上記可変ステージチャージポンプ400は、メモリセルアレイ402と同じパッケージ内で製造することができる。また、上記可変ステージチャージポンプ400はメモリセルアレイパッケージ402の外部に配置することもできる。

【0079】

上記実施の形態では、上記可変ステージチャージポンプ400とメモリセルアレイ402との間に1つの電圧極性反転回路401を接続していたが、可変ステージチャージポンプ400とメモリセルアレイ402との間に2つ以上の電圧極性反転回路を接続してもよい。

【0080】

上記半導体記憶装置は、例えば携帯電話やPDA(Personal Digital Assistant)等の携帯電子機器に用いることができる。この場合、上記携帯電子機器を高機能化できると共に、小型化できる。また、上記携帯電子機器は、小型化により、製造コストを削減することが可能になる。

【0081】

本発明の直列接続用スイッチおよび入力側スイッチが上記実施の形態に限定されない。

【0082】

例えば、上記直列接続用スイッチの一例としてMOSFETを用いてもよいし、入力側スイッチとしてMOSFETを用いてもよい。つまり、上記第1のスイ

ッチ 130 および第 2 のスイッチ 131 の代わりに、MOSFET を用いてもよい。この場合、上記第 1、第 2 のスイッチ 130、131 の代わりに用いた MOSFET によって通過する電圧の範囲を最大にするために、共通出力ノード 150 からの出力電圧 V_{out} を、その MOSFET のゲートへの制御電圧として使用することができる。

【0083】

また、本発明の第 1、第 2 の出力側スイッチも上記実施の形態に限定されない。

【0084】

例えば、上記実施の形態では、第 1 のチャージポンプ 110 と共通出力バス 170 とを n チャネル MOSFET 140 で接続していたが、第 1 のチャージポンプ 110 と共通出力バス 170 とを例えば開閉式スイッチで接続してもよい。

【0085】

また、上記実施の形態では、第 2 のチャージポンプ 120 と共通出力バス 170 とを n チャネル MOSFET 142 で接続していたが、第 2 のチャージポンプ 120 と共通出力バス 170 とを例えば開閉式スイッチで接続してもよい。

【0086】

上記実施の形態では、ダイオード接続した n チャネル MOSFET 140、142 を用いていたが、ダイオード接続していない n チャネル MOSFET 140 を用いてもよい。

【0087】

本発明においてチャージポンプ装置の段の数やポンプステージ数は、上記実施の形態に限定されない。つまり、上記チャージポンプ装置の段の数やポンプステージ数は 2 つ以上であってもよい。

【0088】

【発明の効果】

以上より明らかなように、第 1 の発明の半導体記憶装置は、直列接続用スイッチ、入力側スイッチおよび第 1、第 2 の出力側スイッチを制御することにより、第 1、第 2 のチャージポンプを互いに直列接続させたり、第 1、第 2 のチャージポ

ンプを互いに並列接続させたりすることができる。したがって、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、チャージポンプ装置の回路数を減少させることができる。

【0089】

また、メモリセルの不揮発性メモリはゲート電極の両側にメモリ機能部を有するので、メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、記憶装置を小型化することができる。

【0090】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

【0091】

第2の発明の半導体記憶装置は、 $(n-1)$ 番目の直列接続用スイッチ、 n 番目のチャージポンプの入力端子に接続された入力側スイッチ、 $(n-1)$ 番目の出力側スイッチおよび n 番目の出力側スイッチを制御することにより、 $(n-1)$ 番目のチャージポンプと n 番目のチャージポンプとを互いに直列接続させたり、上記 $(n-1)$ 番目のチャージポンプと n 番目のチャージポンプとを互いに並列接続させたりすることができる。したがって、複数の電圧レベルを、各電圧レベル専門のチャージポンプを用いることなく得ることができ、回路数を減少させることができる。

【0092】

また、メモリセルの不揮発性メモリはゲート電極の両側にメモリ機能部を有するので、メモリセルを微細化しても、2ビット以上の記憶保持ができる。その結果、上記メモリセルアレイの回路面積を縮小して、小型化することができる。

【0093】

また、上記チャージポンプ装置の回路面積も縮小することができるので、不揮発性メモリ素子の微細化や多値記憶による回路面積の減少効果が損なわれず、記憶装置をより小型化することができる。

【図面の簡単な説明】

【図 1】 図 1 は一実施形態の可変ステージチャージポンプのブロック図である。

【図 2】 図 2 は一実施形態の可変ステージチャージポンプを含む電源回路のブロック図である。

【図 3】 図 3 は第 1, 第 2 のチャージポンプの動作を説明するための表である。

【図 4】 図 4 は一実施形態の不揮発性メモリ素子の概略断面図である。

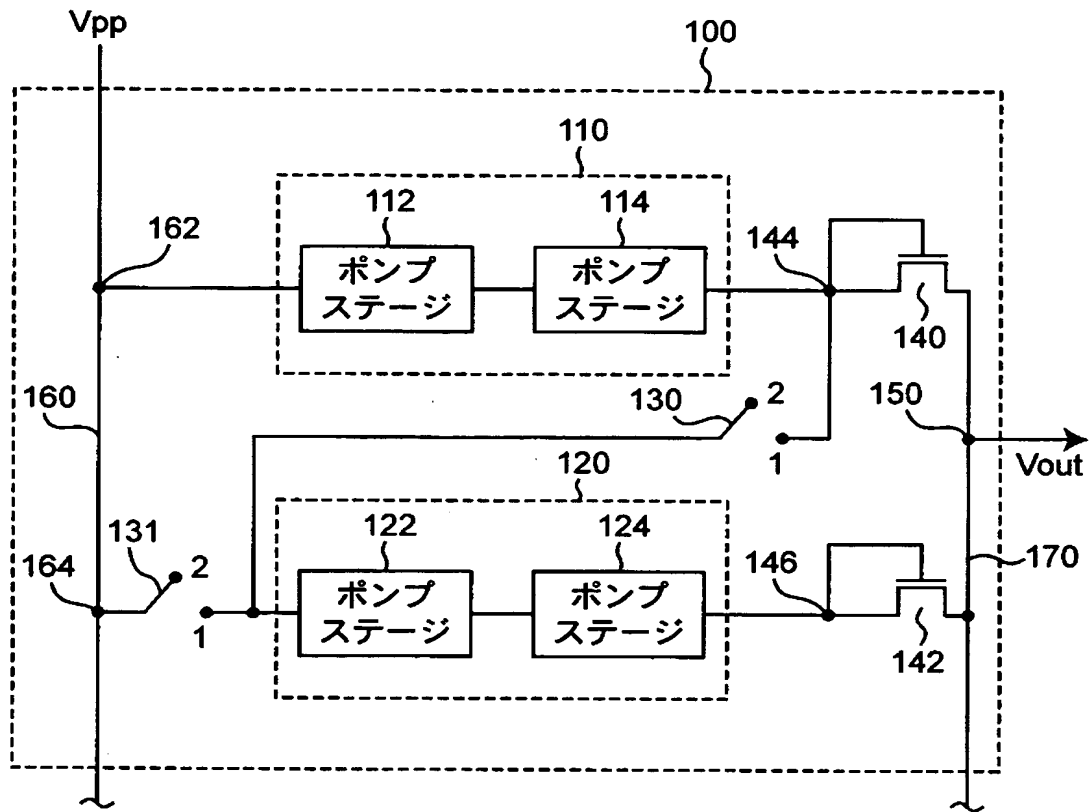
【図 5】 図 5 は一実施形態の半導体記憶装置のブロック図である。

【符号の説明】

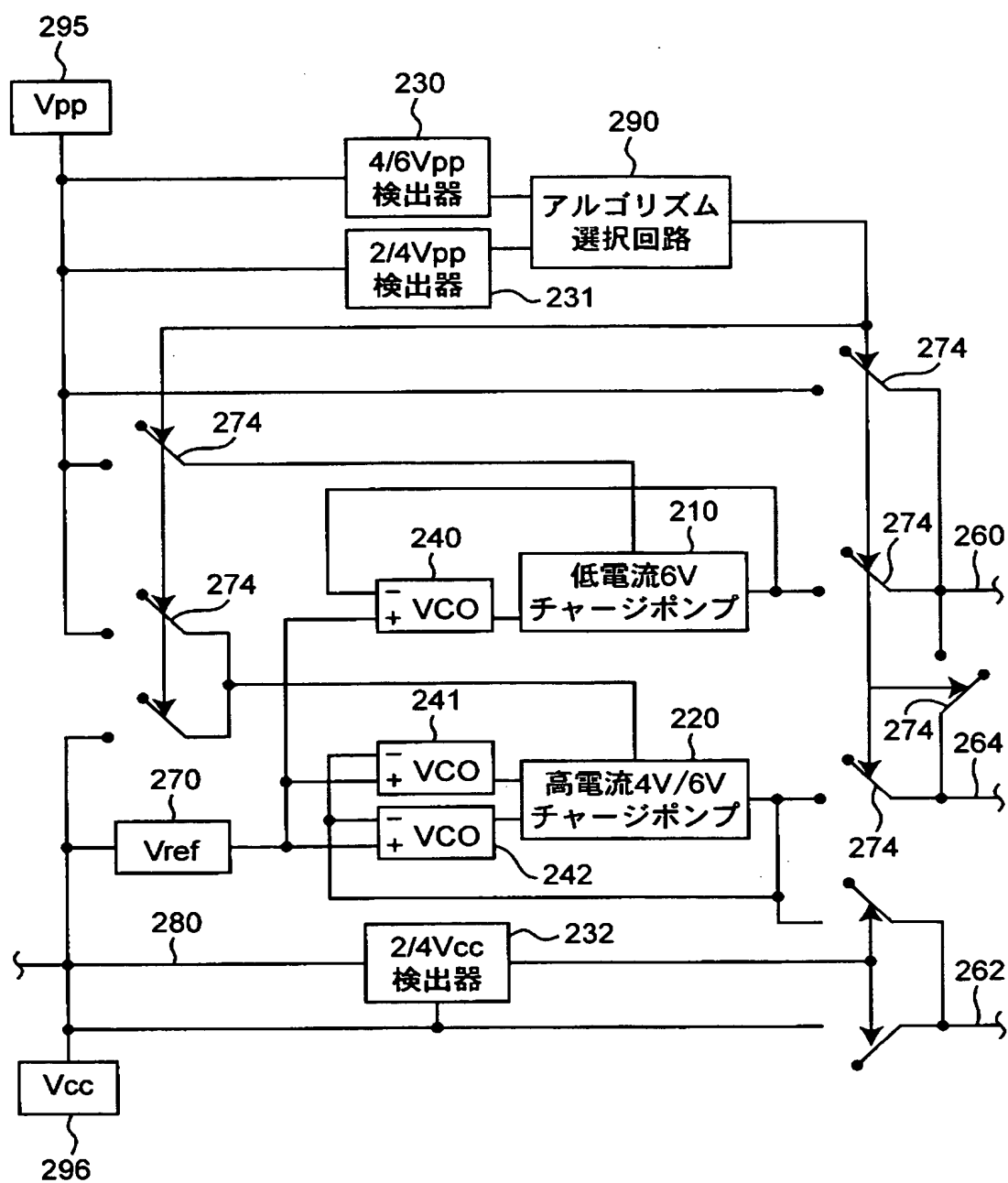
100, 210, 220, 400 可変ステージチャージポンプ
110 第 1 のチャージポンプ
120 第 2 のチャージポンプ
130 第 1 のスイッチ
131 第 2 のスイッチ
140, 142 nチャネル MOSFET
160 共通入力バス
170 共通出力バス
307 チャネル領域
300 ゲート電極
301 ゲート絶縁膜
302 ソース領域
303 ドレイン領域
305, 306 電荷保持膜

【書類名】 図面

【図 1】



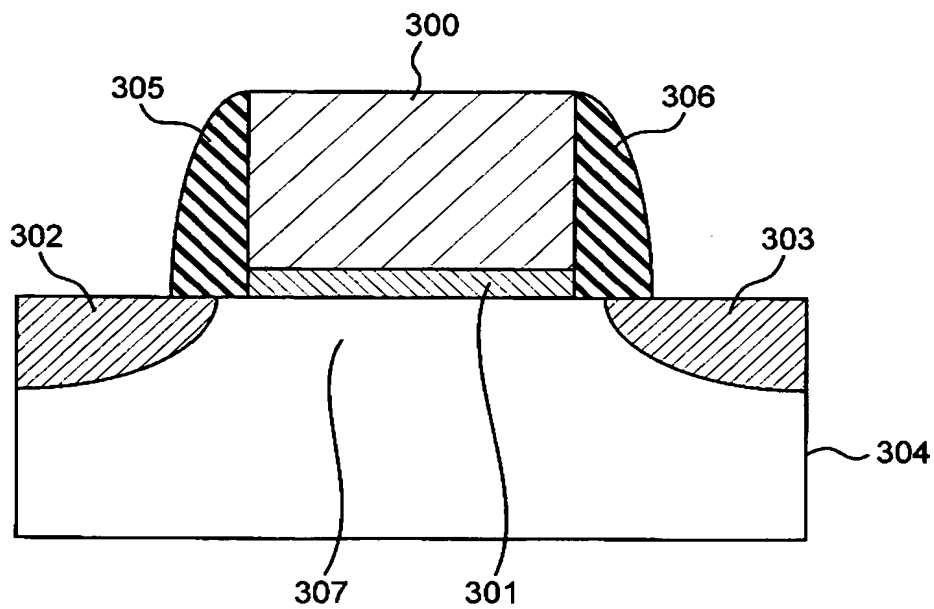
【図 2】



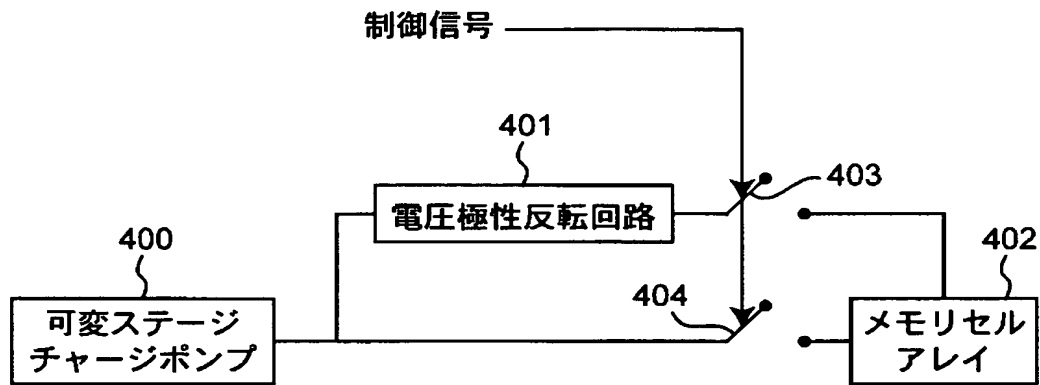
【図 3】

スイッチ130	スイッチ131	チャージポンプ110	チャージポンプ120
OFF	OFF	ON	OFF
OFF	ON	ON	チャージポンプ110に並列接続
ON	OFF	ON	チャージポンプ110に直列接続
ON	ON	N/A	N/A

【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 回路面積を小さくしても、異なる複数の電圧レベルを得ることができる半導体記憶装置を提供する。

【解決手段】 可変ステージチャージポンプ 100 では、共通入力バス 160 と共通出力バス 170 との間に第 1、第 2 のチャージポンプ 110、120 を並列に接続している。第 1 のチャージポンプ 110 の出力端子と共通出力バス 170 とを接続する線には n チャネル MOSFET 140 を設け、第 2 のチャージポンプ 120 と共通出力バス 170 とを接続する線には n チャネル MOSFET 142 を設ける。第 2 のチャージポンプ 120 の入力端子と共通入力バス 160 とを接続する線には第 2 のスイッチ 131 を設ける。第 1 のチャージポンプ 110 の出力端子と n チャネル MOSFET 140 との間と、第 2 のチャージポンプ 120 の入力端子と第 2 のスイッチ 131 との間には、第 1 のスイッチ 130 を設ける。

【選択図】 図 1

特願 2 0 0 3 - 0 8 5 0 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社